

Bibliographie

- [1] ACTEL. « *Axcelerator Family FPGAs* », février 2004. Available from <http://www.actel.com>.
- [2] ACTEL. « *ProAsicPLUS Flash Family FPGAs* », avril 2004. Available from <http://www.actel.com>.
- [3] A. I. ADAMATZKY. « Computation of Shortest Path in Cellular Automata ». *Mathematical and Computer Modelling*, 23(4) :3415–3418, 1996.
- [4] H. G. ADSHEAD. « Towards VLSI Complexity : The DA Algorithm Scaling Problem : Can Special DA Hardware Help ? ». Dans *Proceedings of the 19th Conference on Design Automation*, pages 339–344. IEEE Press, 1982.
- [5] P. AGRAWAL et M. A. BREUER. « Some Theoretical Aspects of Algorithmic Routing ». Dans *Proc. 14th Design Automation Conference*, pages 23–31, Piscataway, NJ, USA, 1977. IEEE Press.
- [6] S. AKERS. « A Modification of Lee’s Path Connection Algorithm ». *IEEE Transactions on Electronic Computers*, EC-16(1) :97–98, février 1967.
- [7] ALTERA. « *Cyclone Device Handbook* », 2003. Available from <http://www.altera.com>.
- [8] ALTERA. « *MAX 3000A Programmable Logic Device Family* », juin 2003. Available from <http://www.altera.com>.
- [9] ALTERA. « *Startix II Device Handbook* », 2004. Available from <http://www.altera.com>.
- [10] ALTERA. « *Stratix Device Handbook* ». Altera Corporation, avril 2004. Available from <http://www.altera.com>.
- [11] ALTERA. « *Stratix GX FPGA Family* ». Altera Corporation, février 2004. Available from <http://www.altera.com>.
- [12] APTIX, INC.. « *FPIC AX1024D. Preliminary Data Sheet* ». Aptix, Inc., San Jose, CA, 1992.
- [13] ARM. « *AMBA Specification, Rev 2.0* ». Advanced RISC Machines Ltd (ARM), http://www.arm.com/armtech/AMBA_Spec, 1999.
- [14] J. C. ASTOR et C. ADAMI. « A Developmental Model for the Evolution of Artificial Neural Networks ». *Artificial Life*, 6(3) :189–218, 2000.
- [15] ATMEL. « *AT6000(LV) Series* ». Atmel, octobre 1999. Available from <http://www.atmel.com>.

- [16] ATMEL. « *AT40K05AL Datasheet* ». Atmel, mai 2002. Available from <http://www.atmel.com>.
- [17] ATMEL. « *FPSLIC Datasheet* ». Atmel, novembre 2003. Available from <http://www.atmel.com>.
- [18] T. BACK, U. HAMMEL et H.-P. SCHWEFEL. « Evolutionary Computation : Comments on the History and Current State ». *IEEE Transactions on Evolutionary Computation*, 1(1) :3–17, avril 1997.
- [19] R. BALZER. « An 8-state Minimal Time Solution to the Firing Squad Synchronization Problem ». *Information and Control*, 10 :22–42, 1967.
- [20] W. BARKER, D. M. HALLIDAY, Y. THOMA, E. SANCHEZ, G. TEMPESTI, J.-M. MORENO et A. M TYRRELL. « Fault Tolerance using Dynamic Reconfiguration on the POEtic Tissue ». 2005. To be submitted.
- [21] A. BARNA et D.I. PORAT. « *Integrated Circuits in Digital Electronics* », pages 413–420. John Wiley & Sons, New York, 1973.
- [22] R. BELLMAN. « On a Routing Problem ». *Quarterly of Applied Mathematics*, 16 :87–90, 1958.
- [23] V. BETZ et J. ROSE. « How Much Logic Should Go in an FPGA Logic Block ». *IEEE Design & Test of Computers*, 15(1) :10–15, janvier- mars 1998.
- [24] R. BEZ, E. CAMERLENGHI, A. MODELLI et A. VISCONTI. « Introduction to Flash Memory ». *Proceedings of the IEEE. Flash Memory Technology*, 91(4) :489–502, avril 2003.
- [25] T. BLANK. « A Survey of Hardware Accelerators used in Computer-Aided Design ». *IEEE Transactions on Design and Test*, 1(3) :21–39, août 1984.
- [26] T. BLANK, M. STEFIK et W. VANCLEEMPUT. « A Parallel Bit Map Processor Architecture for DA Algorithms ». Dans *Proceedings of the 18th Conference on Design Automation*, pages 837–845. IEEE Press, 1981.
- [27] S. BORNHOLDT et T. ROHLF. « Topological Evolution of Dynamical Networks : Global Criticality from Local Dynamics ». *Physical Review Letters*, 84(26) :6114–6117, juin 2000.
- [28] O. BORŮVKA. « O jistém Problému Minimálním. Über ein Minimalproblem ». *Práce Moravské Přírodovědecké Společnosti*, 3 :37–58, janvier 1926.
- [29] C.-V. BOYS. *Bulles de Savon : Quatre Conférences sur la Capillarité Faites Devant un Jeune Auditoire*. Gauthier-Villars, Paris, 1892.
- [30] M. A. BREUER et K. SHAMSA. « A Hardware Router ». *Journal of Digital Systems*, 4(4) :393–408, 1981.
- [31] S. R. BROADBENT et J. M. HAMMERSLEY. « Percolation Processes I. Crystals and mazes ». *Proceedings of the Cambridge Philosophical Society. Mathematical and Physical Science*, 57 :629–641, 1957.
- [32] S. BROWN, R. FRANCIS, J. ROSE et Z. VRANESIC. *Field Programmable Gate Arrays*. Kluwer Academic Publishers, 1992.
- [33] S. BROWN et J. ROSE. « FPGA and CPLD Architectures : a Tutorial ». *IEEE Design & Test of Computers*, 13(2) :42–57, 1996.



- [34] S. BROWN, J. ROSE et Z.G. VRANESIC. « A Detailed Router for Field-Programmable Gate Arrays ». *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, 11(5) :620–628, 1992. TY - JOUR.
- [35] E. BUFFETAUT. *Cuvier, le Découvreur de Mondes Disparus*. Belin - Pour la Science, Paris, 2002.
- [36] V.L. BURTON. *The Programmable Logic Device Handbook*. TAB Professional and Reference Books, USA, 1990.
- [37] W. CARTER, K. DUONG, R. H. FREEMAN, H. C. HSIEH, J. Y. JA, J. E. MAHONEY, L. T. NGO et S. L. SZE. « A User Programmable Reconfigurable Gate Array ». Dans *IEEE 1986 Proc. Custom Integrated Circuits Conference*. IEEE, 1986.
- [38] P. K. CHAN et M. D. F. SCHLAG. « Acceleration of an FPGA Router ». Dans *Proceedings of the 5th IEEE Symposium on FPGA-Based Custom Computing Machines (FCCM '97)*, page 175. IEEE Computer Society, 1997.
- [39] Y.-W. CHANG, K. ZHU, G.-M. WU, D. F. WONG et C. K. WONG. « Analysis of FPGA/FPIC Switch Modules ». *ACM Transactions on Design Automation of Electronic Systems (TODAES)*, 8(1) :11–37, janvier 2003.
- [40] G.-X. CHENG, M. TANAKA et M. YAMADA. « A Parallel Routing Technique Based on Local Current Comparison ». Dans *IEEE International Symposium on Circuits and Systems*, volume 5, pages 3114–3117. IEEE Press, 1991.
- [41] B. V. CHERKASSKY, A. V. GOLDBERG et T. RADZIK. « Shortest Paths Algorithms : Theory and Experimental Evaluation ». *Mathematical Programming*, 73 :129–174, juin 1996.
- [42] W. CHOI et G. SOBELMAN. « Hardware Rip-up Router with Concurrent Wavefront Propagation ». *Electronics Letter*, pages 373–374, mars 1989.
- [43] A. COLORNI, M. DORIGO et V. MANIEZZO. « Distributed optimization by ant colonies ». Dans F. VARELA et P. BOURGINE, éditeurs, *Proc. First European Conference on Artificial Life*, pages 131–142. Elsevier Publishing, 1991.
- [44] C. H. V. COOPER, D. M. HOWARD et A. M. TYRRELL. « Using GAs to Create a WaveGuide Model of the Oral Vocal Tract ». Dans G. R. Raidl et AL., éditeur, *Proc. of EvoWorkshops 2004*, volume 3005 de LNCS, pages 280–288, Berlin Heidelberg, 2004. Springer-Verlag.
- [45] Lattice Semiconductor CORPORATION. « *ORCA Series 4 FPGAs* », novembre 2003. Available from <http://www.latticesemi.com>.
- [46] Lattice Semiconductor CORPORATION. « *ispXPGA Family* », juillet 2004. Available from <http://www.latticesemi.com>.
- [47] Lattice Semiconductor CORPORATION. « *LatticeECP/EC Family Data Sheet Introduction* », juin 2004. Available from <http://www.latticesemi.com>.
- [48] W.J. DALLY et A. CHANG. « The Role of Custom Design in ASIC Chips ». Dans *Proc. 37th conference on Design Automation*, pages 643–647, New York, NY, USA, 2000. ACM Press.
- [49] E. DAMM, H. GETHÖFFER, K. KAISER et E. Damm GMBH. « Hardware Support for Automatic Routing ». Dans *Proceedings of the 19th conference on Design automation*, pages 219–223. IEEE Press, 1982.

- [50] G. B. DANTZIG. Maximization of a Linear Function of Variables Subject to Linear Inequalities. Dans T.C. KOOPMANS, éditeur, *Activity Analysis of Production and Allocation - Proceedings of a Conference*, volume 13 de *Cowles Commission Monograph*, pages 339–347. Wiley, New York, 1951.
- [51] G. B. DANTZIG. « Discrete-Variable Extremum Problems ». *Operations Research*, 5(2) :266–277, avril 1957.
- [52] C. DARWIN. *On the Origin of Species by Means of Natural Selection*. John Murray, London, 1859.
- [53] C. DARWIN. *Variation of Animals and Plants under Domestication*. Appleton and Co, New York, 1868.
- [54] C. DARWIN, A. WALLACE, C. LYELL et J. D. HOOKER. « On the Tendency of Species to form Varieties ; and on the Perpetuation of Varieties and Species by Natural Means of Selection ». *Journal of the Proceedings of the Linnean Society, Zoology*, 3 :45–62, août 1858.
- [55] H. de GARIS. « Growing an Artificial Brain with a Million Neural Net Modules Inside a Trillion Cell Cellular Automaton Machine ». Dans *Proc. of the Fourth International Symposium on Micro Machine and Computer Science*, pages 211–214, 1993.
- [56] H. de GARIS, A. BULLER, L. de PENNING, T. CHODAKOWSKI et D. DECESARE. « Initial Evolution Results on CAM-Brain Machines (CBMs) ». Dans G. DORFFNER, H. BISHOF et K. HORNIK, éditeurs, *ICANN 2001*, volume 2130 de *Lecture Notes in Computer Science*, pages 814–819, Berlin Heidelberg, 2001. Springer-Verlag.
- [57] H. de GARIS, L. KANG, Q. HE, Z. PAN, M. OOTANI et E. RONALD. « Million Module Neural Systems Evolution : The Next Step in ATR's Billion Neuron Artificial Brain ». Dans *Proceedings of Evolution Artificielle 97 (EA'97)*, volume 10, pages 231–243, 1997.
- [58] A. DEHON, R. HUANG et J. WAWRZYNEK. « Hardware-Assisted Fast Routing ». Dans *Proceedings of the 10 th Annual IEEE Symposium on Field-Programmable Custom Computing Machines (FCCM'02)*, page 205. IEEE Computer Society, 2002.
- [59] E. W. DIJKSTRA. « A Note on Two Problems in Connexion with Graphs. ». *Numerische Mathematik*, 1 :269–271, 1959.
- [60] T. DOBZHANSKI. *L'Homme en Evolution*. Flammarion, Paris, 1966.
- [61] D. DUBOULE et P. SORDINO. « L'Origine des Doigts ». *La Recherche*, 296 :66–69, mars 1997.
- [62] D. DUBOULE et A.S. WILKINS. « The Evolution of 'Bricolage' ». *Trends in Genetics*, 14(2) :54–59, février 1998.
- [63] S. EBERHARDT, T. DUONG et A. THAKOOR. « Design of Parallel Hardware Neural Network Systems from Custom Analog VLSI 'Building Block' Chips ». Dans *International Joint Conference on Neural Networks (IJCNN)*, volume 2, pages 183–190, 1989.
- [64] K. ECHTLE et I. EUSGELD. « A Genetic Algorithm for Fault-Tolerant System Design ». Dans R. de Lemos et AL., éditeur, *First Latin American Symposium*



- on *Dependable Computing*, volume 2847 de LNCS, pages 197–213, Berlin Heidelberg, 2003. Springer-Verlag.
- [65] J.G. ELDREDGE et B.K. HUTCHINGS. « Density Enhancement of a Neural Network using FPGAs and Run-time Reconfiguration ». Dans *Proc. IEEE Workshop on FPGAs for Custom Computing Machines*, pages 180–188, 1994.
 - [66] J.G. ELDREDGE et B.L. HUTCHINGS. « RRANN : a Hardware Implementation of the Backpropagation Algorithm using Reconfigurable FPGAs ». Dans *IEEE International Conference on Neural Networks*, volume 4, pages 2097–2102, 1994.
 - [67] N. ELDREDGE et S. J. GOULD. « *Models in Paleobiology : Punctuated Equilibria : An Alternative to Phyletic Gradualism* », Chapitre 5, pages 82–115. Freeman, Cooper and Co, 1972.
 - [68] F. ERCAL et H. C. LEE. « Time-Efficient Maze Routing Algorithms on Reconfigurable Mesh Architectures ». *Journal of Parallel and Distributed Computing*, 44(2) :133–140, août 1997.
 - [69] J. ERIKSSON, O. TORRES, A. MITCHELL, G. TUCKER, K. LINDSAY, D. HALLIDAY, J. ROSENBERG, J.-M. MORENO et A. E. P. VILLA. « Spiking Neural Networks for Reconfigurable POetic Tissue ». Dans A.M. TYRRELL, P.C. HADDOW et J. TORRESEN, éditeurs, *Evolvable Systems : From Biology to Hardware. Proc. 5th Int. Conf. on Evolvable Hardware (ICES '03)*, volume 2606 de LNCS, pages 165–173, Berlin, 2003. Springer-Verlag.
 - [70] D. FLOREANO et C. MATTIUSSI. Evolution of Spiking Neural Controllers for Autonomous Vision-Based Robots. Dans T. GOMI, éditeur, *Evolutionary Robotics IV*, pages 38–61. Springer-Verlag, Berlin Heidelberg, 2001.
 - [71] D. FLOREANO et J. URZELAI. Evolution and Learning in Autonomous Robotics Agents. Dans D. MANGE et M. TOMASSINI, éditeurs, *Bio-Inspired Computing Machines*, Chapitre 12, pages 317–346. PPUR, Lausanne, 1998.
 - [72] L. R. FORD JR et D. R. FULKERSON. « Maximal Flow Through a Network ». *Canadian Journal of Mathematics*, 8(3) :399–404, juin 1956.
 - [73] F.H. GAGE. « Mammalian Neural Stem Cells ». *Science*, 287(5457) :1433–1438, février 2000.
 - [74] W. J. GEHRING, M. AFFOLTER et T. BÜRGLIN. « Homeodomain Proteins ». *Annual Reviews*, 63 :487–526, 1994.
 - [75] W. GERSTNER et W.M. KISTLER. *Spiking Neuron Models : Single Neurons, Populations, Plasticity*. Cambridge University Press, Cambridge, 2002.
 - [76] A. GLASSNER. « Soap Bubbles. 1 ». *IEEE Computer Graphics and Applications*, 20(5) :76–84, septembre 2000.
 - [77] A. GLASSNER. « Soap Bubbles. 2 ». *IEEE Computer Graphics and Applications*, 20(6) :99–109, novembre 2000.
 - [78] R. B. GOLDSCHMIDT. *The Material Basis of Evolution*. Yale University Press, New Haven, CT, USA, 1940.
 - [79] C.S. GOODMAN et B.C. COUGHLIN. « The Evolution of Evo-Devo Biology ». *Proceedings of the National Academy of Sciences of the USA*, 97(9) :4424–4425, avril 2000.

- [80] T.G.W. GORDON et P.J. BENTLEY. On Evolvable Hardware. Dans S. OVASKA et L. SYTANDERA, éditeurs, *Soft Computing in Industrial Electronics*, pages 279–323. Physica-Verlag, Heidelberg, Germany, 2002.
- [81] S. J. GOULD. *La Vie est Belle. Les Surprises de l'Évolution*. Seuil, collection Points Sciences, 1991.
- [82] John J. GREFENSTETTE. « Lamarckian Learning in Multi-agent Environments ». Dans Rick BELEW et Lashon BOOKER, éditeurs, *Proceedings of the Fourth International Conference on Genetic Algorithms*, pages 303–310, San Mateo, CA, 1991. Morgan Kaufman.
- [83] J.B. GRIMBLEBY. « Automatic Analogue Circuit Synthesis Using Genetic Algorithms ». *IEE Proceedings Circuits, Devices and Systems*, 147(6) :319–323, décembre 2000.
- [84] F. GRUAU. Genetic Systems of Boolean Networks with a Cell Rewriting Developmental Process. Dans D. WHITLEY et S.D. SCHAFER, éditeurs, *Combination of Genetic Algorithms and Neural Networks*, pages 55–74. IEEE Computer Society Press, Los Alamitos, CA, 1992.
- [85] S. A. GUCCIONE, D. LEVI et P. SUNDARARAJAN. « Jbits : A Java-Based Interface for Reconfigurable Computing ». Dans *2nd Annual Military and Aerospace Applications of Programmable Devices and Technologies Conference (MAPLD)*, 1999.
- [86] R. GUO, H. NGUYEN, A. SRINAVASAN, H. VERHEYEN, H. CAI, S. LAW et A. MOHSEN. « A 1024 Pin Universal Interconnect Array With Routing Architecture ». Dans *Custom Integrated Circuits Conference 1992*, Proceedings of the IEEE, pages 4.5.1–4.5.4, mai 1992.
- [87] P.C. HADDOW, G. TUFTE et P. van REMORTEL. « Shrinking the Genotype : L-systems for EHW? ». Dans *ICES '01 : Proceedings of the 4th International Conference on Evolvable Systems : From Biology to Hardware*, pages 128–139. Springer-Verlag, 2001.
- [88] D.R. HANSON et C.W. FRASER. *A Retargetable C Compiler : Design and Implementation*. Benjamin-Cummings Publishing Company, 1995.
- [89] P. HART, N. NILSSON et B. RAPHAEL. « A Formal Basis for the Heuristic Determination of Minimum Cost Paths ». *IEEE Transactions on System Sciences and Cybernetics*, SSC-4(2) :100–107, 1968.
- [90] B. HAYES. « Experimental Lamarckism ». *American Scientist*, 87(6) :494–498, Nov-Dec 1999.
- [91] D.O. HEBB. *The Organization of Behavior*. Wiley, New York, USA, 1949.
- [92] W. HEYNS, W. SANSEN et H. BEKE. « A Line-Expansion Algorithm for the General Routing Problem with a Guaranteed Solution ». Dans *Proc. seventeenth design automation conference on Design automation*, pages 243–249, New York, NY, USA, 1980. ACM Press.
- [93] D. W. HIGHTOWER. « The Interconnection Problem - A Tutorial ». Dans *DAC '73 : Proceedings of the 10th workshop on Design automation*, pages 1–21. IEEE Press, 1973.
- [94] D.W. HIGHTOWER. « A Solution to Line-Routing Problems on the Continuous Plane ». Dans *Proc. 6th annual conference on Design Automation*, pages 1–24, New York, NY, USA, 1969. ACM Press.



- [95] T. HIGUCHI, H. IBA et B. MANDERICK. Evolvable Hardware. Dans H. KITANO et J.A. HENDLER, éditeurs, *Massively parallel artificial intelligence*, pages 398–421. MIT Press, 1994.
- [96] D. HILL et N.-S. WOO. « The Benefits of Flexibility in Look-up Table FPGAs ». Dans W. MOORE et W. LUK, éditeurs, *Proc. Oxford 1991 International Workshop on Field Programmable Logic and Applications*, pages 127–136, Abingdon, England, 1991. Abingdon EE&CS Books.
- [97] D. D. HILL. « A CAD System for the Design of Field Programmable Gate Arrays ». Dans *DAC '91 : Proceedings of the 28th conference on ACM/IEEE design automation*, pages 187–192. ACM Press, 1991.
- [98] C. HOCHBERGER et R. HOFFMANN. « Solving Routing Problems with Cellular Automata ». Dans S. BANDINI et G. MAURI, éditeurs, *Proc. 2nd Conference on Cellular Automata for Research and Industry, ACRI '96*, pages 89–98. Springer, 1996.
- [99] D.A. HODGES et H.G. JACKSON. « *Analysis and Design of Digital Integrated Circuits* », pages 401–406. MacGraw-Hill, New York, 1983.
- [100] J. H. HOEL. « Some Variations of Lee's Algorithm ». *IEEE Transactions on Computers*, C-25(1) :19–24, janvier 1976.
- [101] J. H. HOLLAND. *Adaptation in Natural and Artificial Systems*. The University of Michigan Press, Ann Arbor, MI, 1975.
- [102] P.W.H. HOLLAND. « The Future of Evolutionary Developmental Biology ». *Nature*, 402 :41–44, décembre 1999.
- [103] G. HOLLINGWORTH, S. SMITH et A. TYRELL. « Safe Intrinsic Evolution of Virtex Devices ». Dans *proceedings of 2nd NASA/DoD Workshop on Evolvable Hardware*, pages 195–204, 2000.
- [104] HOMINIDÉS.COM. « [http ://www.hominides.com/html/theories/theories-evolutionnisme-lamarck.html](http://www.hominides.com/html/theories/theories-evolutionnisme-lamarck.html) ».
- [105] S. J. HONG, R. NAIR et E. SHAPIRO. « A Physical Design Machine ». Dans J.P. GRAY, éditeur, *proceedings of the first International Conference on Very Large Scale Integration (VLSI 81)*, pages 257–266, London, 1981. Academic Press.
- [106] J.J. HOPFIELD. « Neural Networks and Physical Systems with Emergent Collective Computational Abilities ». *Proceedings of the National Academy of Sciences*, 79(8) :2554–2558, avril 1982.
- [107] R. HUANG, J. WAWRZYNEK et A. DEHON. « Stochastic, Spatial Routing for Hypergraphs, Trees, and Meshes ». Dans *FPGA '03 : Proceedings of the 2003 ACM/SIGDA eleventh international symposium on Field programmable gate arrays*, pages 78–87. ACM Press, 2003.
- [108] A. IOSUPOVICZ. « Design of an Iterative Array Maze Router ». Dans *Procs. IEEE International Conference on Circuits and Computers (ICCC)*, pages 908–911. IEEE, octobre 1980.
- [109] C. ISENBERG. « Soap Films and Bubbles ». *Physics Education*, 16(4) :218–222, juillet 1981.
- [110] F. JACOB. « Evolution and Tinkering ». *Science*, 196(4295) :1161–1166, jun 1977.

- [111] K-TEAM S.A.. « *Khepera User Manual* ». Préverenges, Switzerland (<http://www.k-team.com>).
- [112] G. KAATI, L. O. BYGREN et S. EDVINSSON. « Cardiovascular and Diabetes Mortality Determined by Nutrition During Parents' and Grandparents' Slow Growth Period ». *European Journal of Human Genetics*, 10(11) :682–688, novembre 2002.
- [113] L. Pack KAEHLING, M. L. LITTMAN et A. P. MOORE. « Reinforcement Learning : A Survey ». *Journal of Artificial Intelligence Research*, 4 :237–285, 1996.
- [114] I. KAJITANI, T. HOSHINO, M. IWATA et T. HIGUCHI. « Variable Length Chromosome GA for Evolvable Hardware ». Dans *Proc. IEEE International Conference on Evolutionary Computation*, pages 443–447. IEEE, 1996.
- [115] I. KAJITANI, T. HOSHINO, D. NISHIKAWA, H. YOKOI, S. NAKAYA, T. YAMAUCHI, T. INUO, N. KAJIHARA, M. IWATA, D. KEYMEULEN et T. HIGUCHI. « A Gate-Level EHW Chip : Implementing GA Operations and Reconfigurable Hardware on a Single LSI ». Dans M. SIPPER, D. MANGE et A. PÉREZ-URIBE, éditeurs, *ICES'98*, volume 1478 de *Lecture Notes in Computer Science*, pages 1–12, Berlin Heidelberg, 1998. Springer-Verlag.
- [116] I. KAJITANI, M. MURAKAWA, D. NISHIKAWA, H. YOKOI, N. KAJIHARA, M. IWATA, D. KEYMEULEN, H. SAKANASHI et T. HIGUCHI. « An Evolvable Hardware Chip for Prosthetic Hand Controller ». Dans *MICRONEURO '99 : Proceedings of the 7th International Conference on Microelectronics for Neural, Fuzzy and Bio-Inspired Systems*, page 179. IEEE Computer Society, 1999.
- [117] T. KALGANOVA. « Bidirectional Incremental Evolution in Extrinsic Evolvable Hardware ». Dans *Proc. of The Second NASA/DoD Workshop on Evolvable Hardware (EH'2000)*, Palo Alto, California, USA, 2000. IEEE Computer Society.
- [118] T. KALGANOVA, J. F. MILLER et T. C. FOGARTY. « Some Aspects of an Evolvable Hardware Approach for Multiple-Valued Combinational Circuit Design ». Dans M. SIPPER, D. MANGE et A. PÉREZ-URIBE, éditeurs, *ICES'98*, volume 1478 de *Lecture Notes in Computer Science*, pages 78–89, Berlin Heidelberg, 1998. Springer-Verlag.
- [119] J. KENNEDY et R. EBERHARDT. « Particle Swarm Optimization ». Dans *Proc. IEEE International Conference on Neural Networks*, volume 4, pages 1942–1948, 1995.
- [120] H. KESHK, S.-I. MORI, H. NAKASHIMA et S. TOMITA. « Amon : a Parallel Slice Algorithm for Wire Routing ». Dans *Proceedings of the 9th international conference on Supercomputing*, pages 200–208. ACM Press, 1995.
- [121] M. KIMURA. *Théorie Neutraliste de L'Évolution*. Flammarion, 1983.
- [122] H. KITANO. « Designing Neural Networks Using Genetic Algorithms with Graph Generation System ». *Complex Systems*, 4(4) :461–476, 1990.
- [123] H. KITANO. « Building Complex Systems Using Developmental Process : An Engineering Approach ». Dans M. SIPPER, D. MANGE et A. PÉREZ-URIBE, éditeurs, *ICES '98 : Proceedings of the Second International Conference on Evolvable Systems*, volume 1478 de *LNCS*, pages 218–229. Springer-Verlag, 1998.



- [124] T. KOHONEN. « The Self-organizing Maps ». *Proceedings of the IEEE*, 78(9) :1464–1480, septembre 1990.
- [125] T. KONDO, T. NAKASHIMA, M. AOKI et T. SUDO. « An LSI Adaptive Array Processor ». *IEEE Journal of Solid-State Circuits*, 18(2) :147–156, avril 1983.
- [126] T. KONDO, T. NAKASHIMA, T. TSUCHIYA, Y. SUGIYAMA et T. SUDO. « A Large Scale Cellular Array Processor : AAP-1 ». Dans *Proceedings of the 1985 ACM thirteenth annual conference on Computer Science*, pages 100–111, New York, NY, USA, 1985. ACM Press.
- [127] R. KONISHI, H. ITO, H. NAKADA, A. NAGOYA, K. OGURI, N. IMLIG, T. SHIOZAWA, M. INAMORI et K. NAGAMI. « PCA-1 : a Fully Asynchronous, Self-Reconfigurable LSI ». Dans *ASYNC '01 : Proceedings of the 7th International Symposium on Asynchronous Circuits and Systems*, pages 54–61. IEEE Computer Society, 2001.
- [128] R. K. KORN. « An Efficient Variable-Cost Maze Router ». Dans *Proceedings of the 19th conference on Design automation*, pages 425–431, Piscataway, NJ, USA, 1982. IEEE Press.
- [129] J. R. KOZA. *Genetic Programming : On the Programming of Computers by Means of Natural Selection*. MIT Press, Cambridge, MA, 1992.
- [130] J. B. KRUSKAL. « On the Shortest Spanning Subtree of a Graph and the Traveling Salesman Problem ». *Proceedings of the American Mathematical Society*, 7(1) :48–50, février 1956.
- [131] H. KUMAR, M. A. BAYOUMI, A. TYAGI, N. LING et R. KALYAN. « Parallel Implementation of a Cut and Paste Maze Routing Algorithm ». Dans *Proc. 1993 IEEE International Symposium on Circuits and Systems (ISCAS)*, pages 2035–2038, 1993.
- [132] P. L. et I. B.. « Et si l'Homme était une Invention de... l'Homme ». *Science et Vie*, 1026 :50–57, mars 2003.
- [133] P.K. LALA. « *Digital System Design Using Programmable Logic Devices* », Chapitre 5, pages 114–166. Computer Engineering. Prentice Hall, New Jersey, USA, 1990.
- [134] J. B. LAMARCK. *Philosophie Zoologique*. Chez Dentu, Paris, 1809.
- [135] D. LAMBERT et R. REZSOHAZY. *Comment les Pattes Viennent au Serpent. Essai sur l'étonnante Plasticité du Vivant*. Nouvelle Bibliothèque Scientifique. Flammarion, Paris, 2004.
- [136] C. G. LANGTON. « Self-Reproduction in Cellular Automata ». *Physica D*, 10 :135–144, 1984.
- [137] C. Y. LEE. « An Algorithm for Path Connections and Its Applications ». *IRE Transactions on Electronic Computers*, EC-10(3) :346–365, septembre 1961.
- [138] J. LEE, Z. WON, S. SAHNI et E. SHRAGOWITZ. « Parallel Algorithms for Physical Design ». Dans *IEEE International Symposium on Circuits and Systems*, volume 1, pages 325–328. IEEE Press, 1988.
- [139] D. LEVI et S.A. GUCCIONE. « GeneticFPGA : Evolving Stable Circuits on Mainstream FPGA Devices ». Dans *EH '99 : Proceedings of the 1st NASA/DOD workshop on Evolvable Hardware*, page 12. IEEE Computer Society, 1999.

- [140] D.S. LINDEN. « Optimizing Signal Strength In-Situ Using an Evolvable Antenna System ». Dans A. STOICA, J. LOHN, R. KATZ, D. KEYMEULEN et R.S. ZEBULUM, éditeurs, *The 2002 NASA/DoD Conference on Evolvable Hardware*, pages 147–151, Alexandria, Virginia, juillet 2002. IEEE Computer Society.
- [141] A. LINDENMAYER. « Mathematical Models for Cellular Interaction in Development, parts I and II ». *Journal of Theoretical Biology*, 18 :280–315, 1968.
- [142] D. MANGE, M. SIPPER, A. STAUFFER et G. TEMPESTI. « Towards Robust Integrated Circuits : The Embryonics Approach ». *Proceedings of the IEEE*, 88(4) :516–541, avril 2000.
- [143] D. MANGE, A. STAUFFER, E. PETRAGLIO et G. TEMPESTI. « Artificial Cell Division ». *Biosystems*, 76(1-3) :157–167, août-octobre 2004.
- [144] D. MANGE et M. TOMASSINI, éditeurs. *Bio-inspired Computing Machines : Towards Novel Computational Architectures*. Presses Polytechniques et Universitaires Romandes, Lausanne, Switzerland, 1998.
- [145] C. MANOVIT, C. APORNTIEWAN et P. CHONGSTITVATANA. « Synthesis of Synchronous Sequential Logic Circuits from Partial Input/Output Sequences ». Dans *ICES '98 : Proceedings of the Second International Conference on Evolvable Systems*, volume 1478 de *LNCS*, pages 98–105. Springer-Verlag, 1998.
- [146] C. MAXFIELD. *The Design Warrior's Guide to FPGAs*. Elsevier, 2004.
- [147] E. MAYR. *Populations, Espèces et Evolution*. Hermann, Paris, 1974.
- [148] E. MAYR. « Speciation and Macroevolution ». *Evolution*, 36(6) :1119–1132, novembre 1982.
- [149] J. MAZOYER. « A Six-state Minimal Time Solution to the Firing Squad Synchronization Problem ». *Theoretical Computer Science*, 50 :183–238, 1987.
- [150] W.S. MCCULLOCH et W. PITTS. « A Logical Calculus of the Ideas Immanent in Nervous Activity ». *Bulletin of Mathematical Biophysics*, 5 :115–133, 1943.
- [151] L. MCMURCHIE et C. EBLING. « PathFinder : A Negotiation-Based Performance-Driven Router for FPGAs ». Dans *Proc. of the ACM/SIGDA International Symposium on Field-Programmable Gate Arrays*, pages 111–117. ACM, février 1995.
- [152] G. MENDEL. « Versuch über Pflanzenhybriden ». *Verhandlungen des naturforschenden Vereines in Brünn, Bd. IV für das Jahr 1865*, pages 3–47, 1866.
- [153] B. MESOT, E. SANCHEZ, C.-A. PENA et A. PEREZ-URIBE. « SOS++ : Finding Smart Behaviors Using Learning and Evolution ». Dans R.K. Standish M.A. BEDAU et H.A. ABBASS, éditeurs, *Proceedings of the Eighth International Conference on Artificial Life*, pages 264–273, Cambridge, Mass., 2003. Bradford Book, The MIT Press.
- [154] D. MESQUITA, F. MORAES, J. PALMA, L. MÖLLER et N. CALAZANS. « Remote and Partial Reconfiguration of FPGAs : Tools and Trends ». Dans *Proc. International Parallel and Distributed Processing Symposium (IPDPS'03)*, pages 177–185. IEEE, 2003.
- [155] E. MICHEL. « Les Neurones et la Créativité ». *Lieux d'être*, 36, Automne 2003.
- [156] K. MIKAMI et K. TABUCHI. « A Computer Program for Optimal Routing of Printed Circuit Conductors ». Dans *IFIP Congress*, volume 2, pages 1475–1478, 1968.



- [157] J. F. MILLER et P. THOMSON. « Aspects of Digital Evolution : Evolvability and Architecture ». Dans A. E. Eiben et AL., éditeur, *PPSN V*, volume 1498 de *Lecture Notes in Computer Science*, pages 927–936, Berlin Heidelberg, 1998. Springer-Verlag.
- [158] J. F. MILLER et P. THOMSON. « Aspects of Digital Evolution : Geometry and Learning ». Dans M. Sipper et AL., éditeur, *ICES'98*, volume 1478 de *Lecture Notes in Computer Science*, pages 25–35, Berlin Heidelberg, 1998. Springer-Verlag.
- [159] J.F. MILLER. « Evolving a Self-Repairing, Self-Regulating, French Flag Organism ». Dans K. DEB, R. POLI, W. BANZHAF, H. BEYER, E. K. BURKE, P. J. DARWEN, D. DASGUPTA, D. FLOREANO, J. A. FOSTER, M. HARMAN, O. HOLLAND, P. Luca LANZI, L. SPECTOR, A. TETTAMANZI, D. THIERENS et A. M. TYRRELL, éditeurs, *Genetic and Evolutionary Computation - GECCO 2004*, volume 1 de *Lecture Notes in Computer Science*, pages 129–139, Berlin, Heidelberg, 2004. Springer.
- [160] M. MINSKY. « *Finite and Infinite Machines* », pages 28–29 and 282–283. Prentice Hall, 1967.
- [161] G. J. MINTY. « A Comment on the Shortest-Route Problem ». *Operations Research*, 5(5) :724, octobre 1957.
- [162] A. MITCHELL. « A Survey of Existing Digital Artificial Neural Network. Implementations, Concerning Their Suitability for Integration into the POetic Tissue ». Rapport Technique, University of York, 2002.
- [163] F. MO, A. TABBARA et R. K. BRAYTON. « A Force-Directed Maze Router ». Dans *Proc. IEEE/ACM International Conference on Computer Aided Design (ICCAD 2001)*, pages 404–407, 2001.
- [164] S.-W. MOON et S.-G. KONG. « Block-Based Neural Networks ». *IEEE Transactions on Neural Networks*, 12(2) :307–317, mars 2001.
- [165] E. F. MOORE. « The Shortest Path Through a Maze ». Dans *Proc. of the International Symposium on the Theory of Switching*, pages 285–292. Harvard University Press, 1959.
- [166] E. F. MOORE. « *Sequential Machines, Selected Papers* », pages 213–214. Reading. Addison Wesley, Massachussets, 1964.
- [167] H. MORAVEC. « When will Computer Hardware Match the Human Brain ? ». *Journal of Evolution and Technology*, 1, mars 1998.
- [168] J.-M. MORENO, Y. THOMA, E. SANCHEZ, O. TORRES et G. TEMPESTI. « Hardware Realization of a Bio-inspired POetic Tissue ». Dans R. S. ZEBULUM, D. GALTNEY, G. HORNBY, D. KEYMEULEN, J. LOHN et A. STOICA, éditeurs, *Proc. 2004 NASA/DoD Conference on Evolvable Hardware*, pages 237–244, Los Alamitos, California, 2004. IEEE Computer Society.
- [169] J. M. MORENO AROSTEGUI, E. SANCHEZ et J. CABESTANY. « An In-System Routing Strategy for Evolvable Hardware Programmable Platforms ». Dans *Proc. 3rd NASA/DoD Workshop on Evolvable Hardware*, pages 157–166. IEEE Computer Society Press, 2001.

- [170] M. MOTOMURA, Y. AIMOTO, A. SHIBAYAMA, Y. YABE et M. YAMASHINA. « An Embedded DRAM-FPGA Chip with Instantaneous Logic Reconfiguration ». Dans *FCCM '98 : Proceedings of the IEEE Symposium on FPGAs for Custom Computing Machines*, pages 264–266. IEEE Computer Society, 1998.
- [171] M. MURAKAWA, S. YOSHIKAWA, I. KAJITANI, T. FURUYA, M. IWATA et T. HIGUCHI. « Hardware Evolution at Function Level ». Dans *PPSN IV : Proceedings of the 4th International Conference on Parallel Problem Solving from Nature*, pages 62–71. Springer-Verlag, 1996.
- [172] Y. NAGATA. « The Lens Design Using the CMA-ES Algorithm ». Dans K. Deb et AL., éditeur, *Proc. Genetic and Evolutionary Computation Conference (GECCO 2004), Part II*, volume 3103 de LNCS, pages 1189–1200, Berlin, Heidelberg, 2004. Springer Verlag.
- [173] R. NAIR. « A Simple yet Effective Technique for Global Wiring ». *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 6(2) :165–172, mars 1987.
- [174] R. NAIR, S. J. HONG, S. LILES et R. VILLANI. « Global Wiring on a Wire Routing Machine ». Dans *Proceedings of the 19th Conference on Design Automation*, pages 224–231. IEEE Press, 1982.
- [175] J. A. NESTOR. « A New Look at Hardware Maze Routing ». Dans ACM, éditeur, *Proc. 12th ACM Great Lakes Symposium on VLSI (GLSVLSI '02)*, pages 142–147, New York, USA, avril 2002.
- [176] J. A. NESTOR. « FPGA Implementation of a Multilayer Maze Router ». Dans *Proc. 6th Annual Military and Aerospace Programmable Logic Device (MAPLD) International Conference*, page P52, septembre 2003.
- [177] L. M. NI et P. K. MCKINLEY. « A Survey of Wormhole Routing Techniques in Direct Networks ». *Computer*, 26(2) :62–76, 1993.
- [178] S. NOLFI et D. FLOREANO. *Evolutionary Robotics. The Biology, Intelligence, and Technology of Self-organizing Machines*. MIT Press, Cambridge, MA, USA, 2001.
- [179] U.E. NYDEGGER. « Hématologie 2001 : La Cellule Souche - d'Ici à Là et Retour ». *Forum Medical Suisse*, 51 :1269–1270, décembre 2001.
- [180] M. OURA et S. MASUI. « A Secure Dynamically Programmable Gate Array Based on Ferroelectric Memory ». *Fujitsu Scientific & Technical Journal*, 39(1) :52–61, juin 2003.
- [181] C. OZTURKERI et M. CAPCARRERE. « Emergent Robustness and Self-Repair through Developmental Cellular Systems ». Dans J. POLLACK, M. BEDAU, P. HUSBANDS, T. IKEGAMI et R. A. WATSON, éditeurs, *Proc. Ninth International Conference on the Simulation and Synthesis of Living Systems (ALIFE9)*, pages 31–26, Cambridge, Massachusetts, USA, 2004. The MIT Press.
- [182] S. PAJOT. « *Percolation et Economie* ». PhD thesis, Université de Nantes, 2001. Accessible sur <http://percolation.free.fr>.
- [183] U. PAPE. « Algorithm 562 : Shortest Path Lengths [H] ». *ACM Trans. Math. Softw.*, 6(3) :450–455, 1980.
- [184] A. PEREZ-URIBE. « *Structure-Adaptable Digital Neural Networks* ». PhD thesis, Swiss Federal Institute of Technology-Lausanne, EPFL, 1999.



- [185] C. PIGUET et H. HÜGLI. *Du Zéro à l'Ordinateur. Une Brève Histoire du Calcul*. PPUR, Lausanne, 2004.
- [186] M. POLLACK et W. WIEBENSON. « Solutions of the Shortest-Route Problem - A Review ». *Operations Research*, 8(2) :224–230, mars 1960.
- [187] R. C. PRIM. « Shortest Connection Networks and Some Generalizations ». *The Bell System Technical Journal*, 3 :1389–1401, 1957.
- [188] QUICKLOGIC. « Eclipse Family Data Sheet », 2001. Available from <http://www.quicklogic.com>.
- [189] H. RAPAPORT et P. ABRAMSON. « An Analog Computer for Finding an Optimum Route Through a Communication Network ». *IEEE Transactions on Communications*, 7(1) :37–42, mai 1959.
- [190] I. RECHENBERG. *Evolutionsstrategie : Optimierung technischer Systeme nach Prinzipien der biologischen Evolution*. Frommann-Holzboog, Stuttgart, Germany, 1973.
- [191] D. R. RIDDLE, T. BLUMENTHAL, B. J. MEYER et J. R. PRIESS. *C. Elegans II*. Cold Spring Harbor Laboratory Press, 1997.
- [192] D. ROGGEN. « Multi-Cellular Reconfigurable Circuits : Evolution, Morphogenesis and Learning ». PhD thesis, Ecole Polytechnique Fédérale de Lausanne, Lausanne, 2005.
- [193] D. ROGGEN, D. FLOREANO et C. MATTIUSI. « A Morphogenetic Evolutionary System : Phylogenesis of the POetic Tissue ». Dans A. M. TYRRELL, P. C. HADDOW et J. TORRESEN, éditeurs, *Evolvable Systems : From Biology to Hardware ; Proceedings of the Fifth International Conference on Evolvable Systems (ICES 2003)*, pages 153–164, Berlin, 2003. Springer.
- [194] D. ROGGEN, Y. THOMA et E. SANCHEZ. « An Evolving and Developing Cellular Electronic Circuit ». Dans J. POLLACK, M. BEDAU, P. HUSBANDS, T. Ikegami et R. A. WATSON, éditeurs, *Proc. Ninth International Conference on the Simulation and Synthesis of Living Systems (ALIFE9)*, pages 33–38, Cambridge, Massachusetts, USA, 2004. The MIT Press.
- [195] J. ROSE. « Parallel Global Routing for Standard Cells ». *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 9(10) :1085–1095, octobre 1990.
- [196] J. ROSE, R. FRANCIS, D. LEWIS et P. CHOW. « Architecture of Field-Programmable Gate Arrays : the Effect of Logic Block Functionality on Area Efficiency ». *Solid-State Circuits, IEEE Journal of*, 25(5) :1217–1225, octobre 1990.
- [197] F. RUBIN. « The Lee Path Connection Algorithm ». *IEEE Transactions on Computers*, c-23(9) :907–914, septembre 1974.
- [198] D.E. RUMELHART, Bernard. WIDROW et M.A. LEHR. « The Basic Ideas in Neural Networks ». *Commun. ACM*, 37(3) :87–92, 1994.
- [199] S. J. RUSSELL et P. NORVIG. « Artificial Intelligence : A Modern Approach », Chapitre 4, pages 97–101. Prentice Hall, NJ, 2 édition, 1995.
- [200] R. A. RUTENBAR, T. N. MUDGE et D. E. ATKINS. « A Class of Cellular Architectures to Support Physical Design Automation ». *IEEE Transactions on*

- Computer-Aided Design of Integrated Circuits and Systems*, 3(4) :264–278, octobre 1984.
- [201] T. RYAN et E. ROGERS. « An ISMA Lee Router Accelerator ». *IEEE Design and Test of Computers*, 4(5) :38–45, octobre 1987.
 - [202] V. K. SAGAR et R. E. MASSARA. « General-Purpose Parallel Hardware Approach to the Routing Problem of VLSI Layout ». *Circuits, Devices and Systems, IEE Proceedings-G*, 140(4) :294–304, août 1993.
 - [203] E. SANCHEZ. « Field Programmable Gate Array (FPGA) Circuits ». Dans E. SANCHEZ et M. TOMASSINI, éditeurs, *Towards Evolvable Hardware*, volume 1062 de *LNCS*, pages 1–18, Berlin, 1996. Springer-Verlag.
 - [204] E. SANCHEZ, D. MANGE, M. SIPPER, M. TOMASSINI, A. PEREZ-URIBE et A. STAUFFER. « Phylogeny, Ontogeny, and Epigenesis : Three Sources of Biological Inspiration for Softening Hardware ». Dans T. HIGUCHI, M. IWATA et W. LIU, éditeurs, *Evolvable Systems : From Biology to Hardware*, volume 1259 de *LCNS*, pages 33–54, Berlin, 1997. Springer-Verlag.
 - [205] T. SASAKI et M. TOKORO. « Comparison between Lamarckian and Darwinian Evolution on a Model Using Neural Networks and Genetic Algorithms ». *Knowledge and Information Systems*, 2(2) :201–222, juin 2000.
 - [206] M. SATO, K. KUBOTA et T. OHTSUKI. « A Hardware Implementation of Gridless Routing Based on Content Addressable Memory ». Dans *Proc. 27th ACM/IEEE design automation conference*, pages 646–649, New York, NY, USA, 1991. ACM Press.
 - [207] S. M. SCALERA et J. R. VÁZQUEZ. « The Design and Implementation of a Context Switching FPGA ». Dans *FCCM '98 : Proceedings of the IEEE Symposium on FPGAs for Custom Computing Machines*, pages 78–85. IEEE Computer Society, 1998.
 - [208] Martin SCHÄFER et Georg HARTMANN. « A Flexible Hardware Architecture for Online Hebbian Learning in the Sender-Oriented PCNN-Neurocomputer Spike 128K ». Dans *MICRONEURO '99 : Proceedings of the 7th International Conference on Microelectronics for Neural, Fuzzy and Bio-Inspired Systems*, page 316. IEEE Computer Society, 1999.
 - [209] S.D. SCOTT, A. SAMAL et S. SETH. « HGA : A Hardware-Based Genetic Algorithm ». Dans *FPGA*, pages 53–59, 1995.
 - [210] R. SEGEV et E. BEN-JACOB. « From Neurons to Brain : Adaptive Self-wiring of Neurons ». *Journal of Complex Systems*, 1 :67–78, 1998.
 - [211] C. E. SHANNON. « Presentation of the Maze-Solving Machine ». Dans *Transactions of the 8th Cybernetics Conference*, pages 173–180, Josiah Macy Jr. Foundation, New York, 1952. Disponible dans C.E. Shannon, N.J.A. Sloane and A.D. Wyner, *Claude Elwood Shannon : Collected papers*, pages 681–687, IEEE Computer Society Press, New York, 1993.
 - [212] T. SHIBATA, T. NAKAI, Y. Ning MEI, Y. YAMASHITA, M. KONDA et T. OHMI. « Advances in Neuron-MOS Applications ». Dans *IEEE International Conference on Solid-State Circuits. Digest of Technical Papers. 43rd ISSCC*, pages 304–305, 1996.



- [213] T. SHIBATA et T. OHMI. « Neuron MOS Binary-logic Integrated Circuits. I. Design Fundamentals and Soft-hardware-logic Circuit Implementation ». *IEEE Transactions on Electron Devices*, 40(3) :570–576, mars 1993.
- [214] T. SHOENAUER, S. ATASOY, N. MEHRTASH et H. KLAR. « NeuroPipe-Chip : A Digital Neuro-Processor for Spiking Neural Networks ». *IEEE Transactions on Neural Networks*, 13(1) :205–213, janvier 2002.
- [215] R. P. S. SIDHU, A. MEI et V. K. PRASANNA. « Genetic Programming Using Self-Reconfigurable FPGAs ». Dans *FPL '99 : Proceedings of the 9th International Workshop on Field-Programmable Logic and Applications*, pages 301–312. Springer-Verlag, 1999.
- [216] S. SINGH, J. ROSE, P. CHOW et D. LEWIS. « The Effect of Logic Block Architecture on FPGA Performance ». *Solid-State Circuits, IEEE Journal of*, 27(3) :281–287, mars 1992.
- [217] M. SIPPER, E. SANCHEZ, D. MANGE, M. TOMASSINI, A. PÉREZ-URIBE et A. STAUFFER. « A Phylogenetic, Ontogenetic, and Epigenetic View of Bio-inspired Hardware Systems ». *IEEE Transactions on Evolutionary Computation*, 1(1) :83–97, avril 1997.
- [218] M. SIPPER, E. SANCHEZ, D. MANGE, M. TOMASSINI, A. PÉREZ-URIBE et A. STAUFFER. An Introduction to Bio-inspired Machines. Dans D. MANGE et M. TOMASSINI, éditeurs, *Bio-Inspired Computing Machines : Towards Novel Computational Architectures*, Chapitre 1, pages 1–12. Presses Polytechniques et Universitaires Romandes, Lausanne, Switzerland, 1998.
- [219] M.J.S. SMITH. *Application-Specific Integrated Circuits*. VLSI Design Series. Addison-Wesley Publishing Company, juin 1997.
- [220] M.J.S. SMITH. « *Application-Specific Integrated Circuits* », Chapitre 1.1.2, pages 6–11. VLSI Design Series. Addison-Wesley Publishing Company, juin 1997.
- [221] K. SOMEYA, H. SHINOZAKI et Y. SEKINE. « Pulse-type Hardware Chaotic Neuron Model and its Bifurcation Phenomena ». *Neural Networks*, 12(1) :153–161, 1999.
- [222] P. SORDINO, F. Van Der HOEVEN et D. DUBOULE. « *Hox* Gene Expression in Teleost Fins and the Origin of Vertebrate Digits ». *Nature*, 375(6533) :678–681, juin 1995.
- [223] J. SOUKUP. « Fast Maze Router ». Dans *Proc. 15th design automation conference*, pages 100–102, Piscataway, NJ, USA, 1978. IEEE Press.
- [224] T. D. SPIERS et D. A. EDWARDS. « A High Performance Routing Engine ». Dans *Proceedings of the 24th ACM/IEEE Conference on Design Automation*, pages 793–799. ACM Press, 1987.
- [225] C. STEIGER, H. WALDER et M. PLATZNER. « Heuristics for Online Scheduling Real-Time Tasks to Partially Reconfigurable Devices ». Dans P. Y. K. CHEUNG, G. A. CONSTANTINIDES et J. T. de SOUSA, éditeurs, *Proc. of the 13th International Conference on Field Programmable Logic and Applications (FPL'03)*, volume 2778 de *LNCS*, pages 575–584, Berlin, Heidelberg, 2003. Springer Verlag.

- [226] A. STOICA, D. KEYMEULEN, R. TAWEL, C. SALAZAR-LAZARO et W. LI. « Evolutionary Experiments with a Fine-Grained Reconfigurable Architecture for Analog and Digital CMOS Circuits ». Dans *EH '99 : Proceedings of the 1st NASA/DOD workshop on Evolvable Hardware*, page 76. IEEE Computer Society, 1999.
- [227] T. SUDO, T. NAKASHIMA, M. AOKI et T. KONDO. « An LSI Adaptive Array Processor ». *Digest of Technical Papers of the IEEE International Solid-State Circuits Conference*, XXV :122–123, février 1982.
- [228] K. SUZUKI, Y. MATSUNAGA, M. TACHIBANA et T. OHTSUKI. « A Hardware Maze Router with Application to Interactive Rip-up and Reroute ». *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 5(4) :466–476, octobre 1986.
- [229] Y. TAKAHASHI et S. SASAKI. « Parallel Automated Wire-Routing with a Number of Competing Processors ». *SIGARCH Comput. Archit. News*, 18(3) :310–317, 1990.
- [230] G. TEMPESTI, D. MANGE et A. STAUFFER. « A Robust Multiplexer-Based FPGA Inspired by Biological Systems ». *Journal of Systems Architecture : Special Issue on Dependable Parallel Computer Systems*, 40(10) :719–733, septembre 1997.
- [231] C. TEUSCHER et E. SANCHEZ. « Self-Organizing Topology Evolution of Turing Neural Networks ». Dans G. DORFFNER, H. BISCHOF et K. HORNIK, éditeurs, *Proceedings of the International Conference on Artificial Neural Networks (ICANN2001)*, volume 2130 de *Lecture Notes in Computer Science*, pages 820–826, Berlin, Heidelberg, 2001. Springer-Verlag.
- [232] Y. THOMA, D. ROGGEN, E. SANCHEZ et J.-M. MORENO. « Prototyping with a Bio-inspired Reconfigurable Chip ». Dans F. TITSWORTH, éditeur, *Proc. 15th IEEE International Workshop on Rapid System Prototyping (RSP 2004)*, pages 239–246, Los Alamitos, California, 2004. IEEE Computer Society.
- [233] Y. THOMA et E. SANCHEZ. « A Reconfigurable Chip for Evolvable Hardware ». Dans K. Deb et AL., éditeur, *Proc. Genetic and Evolutionary Computation Conference (GECCO 2004), Part I*, numéro 3102 dans LNCS, pages 816–827, Berlin, Heidelberg, 2004. Springer Verlag.
- [234] Y. THOMA, E. SANCHEZ, J.-M. MORENO AROSTEGUI et G. TEMPESTI. « A Dynamic Routing Algorithm for a Bio-Inspired Reconfigurable Circuit ». Dans P. Y. K. CHEUNG, G. A. CONSTANTINIDES et J. T. de SOUSA, éditeurs, *Proc. of the 13th International Conference on Field Programmable Logic and Applications (FPL'03)*, volume 2778 de LNCS, pages 681–690, Berlin, Heidelberg, 2003. Springer Verlag.
- [235] A. THOMPSON. « Silicon Evolution ». Dans John R. KOZA, David E. GOLDBERG, David B. FOGEL et Rick L. RIOLO, éditeurs, *Genetic Programming 1996 : Proceedings of the First Annual Conference*, pages 444–452, Stanford University, CA, USA, 1996. MIT Press.
- [236] A. THOMPSON. « An Evolved Circuit, Intrinsic in Silicon, Entwined with Physics ». Dans T. HIGUCHI, M. IWATA et L. WEIXIN, éditeurs, *Proc. 1st Int. Conf. on Evolvable Systems (ICES'96)*, volume 1259 de LNCS, pages 390–405. Springer-Verlag, 1997.



- [237] A. THOMPSON, I. HARVEY et P. HUSBANDS. « Unconstrained Evolution and Hard Consequences ». Dans *Papers from an international workshop on Towards Evolvable Hardware, The Evolutionary Engineering Approach*, pages 136–165. Springer-Verlag, 1996.
- [238] O. TORRES, J. ERIKSSON, J. M. MORENO et A. VILLA. « Hardware Optimization and Serial Implementation of a Novel Spiking Neuron Model for the POetic Tissue ». *Biosystems*, 76(1-3) :201–208, août-octobre 2004.
- [239] J. TORRESEN. « A Divide-and-Conquer Approach to Evolvable Hardware ». Dans M. SIPPER, D. MANGE et A. PÉREZ-URIBE, éditeurs, *ICES'98*, volume 1478 de *Lecture Notes in Computer Science*, pages 57–65, Berlin Heidelberg, 1998. Springer-Verlag.
- [240] J. TORRESEN. « Possibilities and Limitations of Applying Evolvable Hardware to Real-World Applications ». Dans R.W. HARTENSTEIN et H. GRÜNBACHER, éditeurs, *FPL 2000*, volume 1896 de *Lecture Notes in Computer Science*, pages 230–239, Berlin Heidelberg, 2000. Springer-Verlag.
- [241] J. TORRESEN. « Evolvable Hardware as a New Computer Architecture ». Dans *Proc. of the International Conference on Advances in Infrastructure for e-Business, e-Education, e-Science, and e-Medicine on the Internet*, 2002.
- [242] J. TORRESEN. « A Scalable Approach to Evolvable Hardware ». *Genetic Programming and Evolvable Machines*, 3(3) :259–282, 2002.
- [243] S. TRIMBERGER, D. CARBERRY, A. JOHNSON et J. WONG. « A Time-multiplexed FPGA ». Dans *FCCM '97 : Proceedings of the 5th IEEE Symposium on FPGA-Based Custom Computing Machines (FCCM '97)*, pages 22–28. IEEE Computer Society, 1997.
- [244] S. M. TRIMBERGER. *Field-Programmable Gate Array Technology*. Kluwer Academic Publishers, 1994.
- [245] A.M. TYRELL, E. SANCHEZ, D. FLOREANO, G. TEMPESTI, D. MANGE, J.-M. MORENO, J. ROSENBERG et A. E.P. VILLA. « POetic Tissue : An Integrated Architecture for Bio-inspired Hardware ». Dans A.M. TYRRELL, P.C. HADDOW et J. TORRESEN, éditeurs, *Evolvable Systems : From Biology to Hardware. Proc. 5th Int. Conf. on Evolvable Hardware (ICES 2003)*, numéro 2606 dans LNCS, pages 129–140, Berlin, Heidelberg, 2003. Springer Verlag.
- [246] A. UPEGUI, C.A. PENA-REYES et E. SANCHEZ. « A Functional Spiking Neuron Hardware Oriented Model ». Dans *Proceedings of the International Work-conference on Artificial and Natural Neural Networks IWANN2003*, volume 2686 de *Lecture Notes in Computer Science*, pages 136–143, Berlin Heidelberg, 2003. Springer.
- [247] J. von NEUMANN. *Theory of Self-Reproducing Automata*. University of Illinois Press, Illinois, 1966. Edited and completed by A. W. Burks.
- [248] Jr. W. A. DEES et II ROBERT J. SMITH. « Performance of Interconnection Rip-up and Reroute Strategies ». Dans *Proceedings of the 18th conference on Design automation*, pages 382–390. IEEE Press, 1981.
- [249] A. WAKSMAN. « An Optimal Solution to the Firing Squad Synchronization Problem ». *Information and Control*, 9 :66–78, 1966.

- [250] T. WATANABE, H. KITAZAWA et Y. SUGIYAMA. « A Parallel Adaptable Routing Algorithm and its Implementation on a Two-Dimensional Array Processor ». *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 6(2) :241–250, mars 1987.
- [251] T. WATANABE et Y. SUGIYAMA. « A New Routing Algorithm and its Hardware Implementation ». Dans *Proc. 23rd ACM/IEEE conference on Design automation*, pages 574–580, Piscataway, NJ, USA, 1986. IEEE Press.
- [252] J. D. WATSON et F. H. C. CRICK. « A Structure for Deoxyribose Nucleic Acid ». *Nature*, 171 :737–738, 1953.
- [253] P. D. WHITING et J. A. HILLIER. « A Method for Finding the Shortest Route through a Road Network ». *Operational Research Quarterly*, 11 :37–40, 1960.
- [254] B. WIDROW et M.A. LEHR. « 30 Years of Adaptive Neural Networks : Perceptron, Madaline, and Backpropagation ». *Proceedings of the IEEE*, 78(9) :1415–1442, septembre 1990.
- [255] L. WOLPERT. *Le Triomphe de l'Embryon*. Dunod, Paris, 1992.
- [256] Y. WON, S. SAHNI et Y. EL-ZIQ. « A Hardware Accelerator for Maze Routing ». Dans *Proc. 24th ACM/IEEE Design Automation Conference*, pages 800–806. ACM Press, 1987.
- [257] K.-C. WU et Y.-W. TSAI. « Structured ASIC, Evolution or Revolution ? ». Dans *Proc. 2004 international symposium on Physical design (ISPD'04)*, pages 103–106, New York, NY, USA, 2004. AMC Press.
- [258] XILINX. « XC6200 Field Programmable Gate Arrays », avril 1997.
- [259] XILINX. « Spartan-3 FPGA Family : Introduction and Ordering Information », juillet 2004. Available from [http ://www.xilinx.com](http://www.xilinx.com).
- [260] XILINX. « Virtex-3 User Guide », septembre 2004. Available from [http ://www.xilinx.com](http://www.xilinx.com).
- [261] X. YAO. « Evolving Artificial Neural Networks ». *Proceedings of the IEEE*, 87(9) :1423–1447, septembre 1999.
- [262] I.-L. YEN, R. M. DUBASH et F. B. BASTANI. « Strategies for Mapping Lee's Maze Routing Algorithm onto Parallel Architectures ». Dans *Proc. Seventh International Parallel Processing Symposium*, pages 672–679. IEEE, 1993.
- [263] R.S. ZEBULUM, M. Aurélio PACHECO et M. VELLASCO. « Analog Circuits Evolution in Extrinsic and Intrinsic Modes ». Dans M. SIPPER, D. MANGE et A. PÉREZ-URIBE, éditeurs, *ICES '98 : Proceedings of the Second International Conference on Evolvable Systems*, volume 1478 de LNCS, pages 154–165. Springer-Verlag, 1998.